

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

438 / R 203

JP401073772A

Mar. 20, 1989

L11: 30 of 36

MANUFACTURE OF SEMICONDUCTOR STORAGE DEVICE

INVENTOR: KOYAMA, MASASHI
APPLICANT: NEC CORP
APPL NO: JP 62233115
DATE FILED: Sep. 16, 1987
INT-CL: H01L29/78; H01L27/10

ABSTRACT:

PURPOSE: To prevent reduction of a channel width in preparing a floating **gate** electrode in the direction of channel width in a self-alignment manner, by providing a non-**oxidizable** film on the upper and side surfaces of a poly-Si floating **gate** to **oxidize** a substrate.

CONSTITUTION: An SiO₂ film 3, phosphorus added poly Si film 4, an SiO₂ film 5 and an Si₃N₄ film 6 are laminated onto a P-type Si substrate 1 then a resist mask 10 is used for patterning. B-ion implantation is conducted to form a channel stopper 2. An SiO₂ thick film 11 is shaped on the side surface by **oxidation** then covered with an Si₃N₄ film 12. An SiO₂ thick film 7 is formed by wet **oxidation** which remains Si₃N₄ 12a only on the SiO₂ film 11 of the **sidewall** through RIE, then an SiO₂ thick film 7 is formed, a **sidewall** 12a is removed, and the Si₃N₄ film 6 is eliminated. A control electrode, etc., is thereafter prepared conventionally to complete a semiconductor storage device.

⑫ 公開特許公報(A)

昭64-73772

⑬ Int.Cl.⁴H 01 L 29/78
27/10

識別記号

3 7 1
4 2 1

庁内整理番号

7514-5F
8624-5F

⑭ 公開 昭和64年(1989)3月20日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 半導体記憶装置の製造方法

⑯ 特 願 昭62-233115

⑰ 出 願 昭62(1987)9月16日

⑱ 発 明 者 小 山 昌 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体記憶装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上に第1の絶縁膜と多結晶シリコン膜と第2の絶縁膜と少なくとも第1の耐酸化性膜とを順次形成したのち該第1の耐酸化性膜と第2の絶縁膜と多結晶シリコン膜とをパターンニングし活性領域上に残す工程と、前記第1の耐酸化性膜をマスクとして半導体基板表面を酸化し前記多結晶シリコン膜側面に側壁酸化膜を形成する工程と、全面に第2の耐酸化性膜を形成したのち異方性エッチングを行ない前記側壁酸化膜上に第2の耐酸化性膜からなるサイドウォールを形成する工程と、前記第1の耐酸化性膜と前記サイドウォールとをマスクとして半導体基板表面を酸化し素子分離酸化膜を形成する工程とを含むことを特徴とする半導体記憶装

置の製造方法。

(2) 第1の耐酸化性膜上に第2の耐酸化性膜よりエッチング速度の遅い材料膜を積層する特許請求の範囲第(1)項記載の半導体記憶装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体記憶装置の製造方法に関し、特に不揮発性半導体記憶装置の製造方法に関する。

〔従来の技術〕

不揮発性半導体記憶装置は種々のものが考案されているが、最も一般的なのは浮遊ゲート電極を有するスタックドゲート型絶縁ゲート電界効果素子を利用した紫外線消去型の半導体記憶装置で、通常 EPROM と称されているものである。この素子の構造は電気的に絶縁された半導体材料を浮遊ゲート電極として第1のゲート絶縁膜を介して基体チャンネル上に配置し、かつこの浮遊ゲート電極上に第2のゲート絶縁膜を介して制御ゲート電

極を配置したものが一般的である。

この浮遊ゲート電極を基体チャンネル上に配置する方法としては、浮遊ゲート電極を形成後選択酸化を行い浮遊ゲート電極とチャンネル領域をチャンネル幅方向に自己整合的に形成する方法が考案されている(例えば特開昭52-131067号公報, 特開昭54-137982号公報, 特開昭53-17153号公報)。この方法を第5図を参照して説明する。

第5図(a)~(c)及び第5図(d)は製造工程順に示した半導体チップのチャンネル幅方向及びチャンネル長方向の断面図である。

まず第5図(a)に示すように、P型半導体基板1上にゲート絶縁膜となる第1の酸化シリコン膜3と浮遊ゲート電極となる多結晶シリコン膜4、第2の酸化シリコン膜5及び Si_3N_4 等の耐酸化性膜6Aを形成したのち、耐酸化性膜6A、第2の酸化シリコン膜5及び多結晶シリコン膜4をパターンニングして活性領域上のみに残す。次でP型不純物をイオン注入しチャンネルストップ領域2を形成

合わせマージン等が不要で、素子占有面積の縮小が可能になっている。

〔発明が解決しようとする問題点〕

しかしながら上述した従来の半導体装置の製造方法によると、選択酸化時に多結晶シリコン膜4の側面が露出するためこの多結晶シリコン膜、つまり浮遊ゲート電極が酸化されて小さくなってしまい。また酸化は多結晶シリコン膜4の底部からも進み、初期の活性領域パターンの素子分離酸化膜7による浸食が起きる。このため製造された半導体装置の活性領域の幅すなわちチャンネル幅は、初期のチャンネル幅よりも小さくなってしまいという欠点があった。

本発明の目的は、チャンネル幅の減少が生じることのない半導体記憶装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体記憶装置は、半導体基板上に第1の絶縁膜と多結晶シリコン膜と第2の絶縁膜と少なくとも第1の耐酸化性膜とを順次形成したのち

する。

次に第5図(b)に示すように、活性領域上の耐酸化性膜6Aをマスクとして選択酸化を行ない素子分離酸化膜7を形成する。

次に第5図(c)に示すように、耐酸化性膜6A及び第2の酸化シリコン膜5を除去したのち、多結晶シリコン膜4上に第2のゲート絶縁膜5aを形成し、次で制御ゲート電極となる多結晶シリコン膜8を全面に形成する。

次に第5図(d)に示すように、多結晶シリコン膜8をパターンニング後、このパターンをマスクにして第2のゲート絶縁膜5a、多結晶シリコン膜4を選択除去し、更にN型不純物を導入しソース・ドレイン領域9を形成する。

この製造方法によれば多結晶シリコン膜4からなる浮遊ゲート電極はチャンネル上にチャンネル幅方向、チャンネル長方向ともに自己整合的に形成できる。特にチャンネル幅方向に対しては浮遊ゲート電極と、活性領域とを同時に1つのパターンから形成できるため、この2つの工程間の位置

該第1の耐酸化性膜と第2の絶縁膜と多結晶シリコン膜とをパターンニングし活性領域上のみ残す工程と、前記第1の耐酸化性膜をマスクとして半導体基板表面を酸化し前記多結晶シリコン膜の側面に側壁酸化膜を形成する工程と、全面に第2の耐酸化性膜を形成したのち異方性エッチングを行ない前記側壁酸化膜上に第2の耐酸化性膜からなるサイドウォールを形成する工程と、前記第1の耐酸化性膜と前記サイドウォールとをマスクとして半導体基板表面を酸化し素子分離酸化膜を形成する工程とを含んで構成される。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図(a)~(e)は本発明による^{第1}の実施例を説明するための主要製造工程における半導体チップの断面図である。

まず第1図(a)に示すようにP型の半導体基板1上に膜厚300Åの第1の酸化シリコン膜3を形成する。この膜が後に浮遊ゲート電極下の第1のゲート酸化膜となる。次で不純物としてリンをドー

ピングした厚さ 3000\AA の多結晶シリコン膜4と厚さ 300\AA の第2の酸化シリコン膜5と厚さ 1600\AA の第1の窒化シリコン膜6を形成したのち、フォトリソグラフからなるマスク10を用いてパターンニングし活性領域上のみに残す。次で同じマスク10を用いボロンをイオン注入し半導体基板表面にチャンネルストップ領域2を形成する。

次に第1図(b)に示すように半導体基板表面を酸化し厚さ 1000\AA の側壁酸化膜11を多結晶シリコン膜4の側面に形成する。その後厚さ 700\AA の第2の窒化シリコン膜12を全面に形成する。

次に第1図(c)に示すように、リアクティブイオンエッチング法を用い第2の窒化シリコン膜12をエッチングし、側壁酸化膜11上のみ第2の窒化シリコン膜からなるサイドウォール12aを形成する。

次に第1図(d)に示すように、 980°C の H_2-O_2 雰囲気中で酸化を行い厚さ約 8000\AA の素子分離酸化膜7を形成する。

次に第1図(e)に示すように、サイドウォール12

うに、不揮発性メモリトランジスタとなる領域をフォトリソグラフからなるマスク10Aで覆う。

次に第2図(b)に示すように、露出している通常のMOS型トランジスタとなる領域の第2の酸化シリコン膜5と多結晶シリコン膜4を除去する。次でマスク10Aを除去後MOS型トランジスタ領域の第1の酸化シリコン膜3とメモリトランジスタ領域の第2の酸化シリコン膜5を同時に除去する。

次に第2図(c)に示すように、浮遊ゲート電極と制御ゲート電極間の絶縁膜5aとMOS型トランジスタのゲート絶縁膜5bとを、例えば 1100°C 以上の N_2 又は Ar により希釈された O_2 雰囲気中で酸化して形成する。

なおこの工程で第2の酸化シリコン膜5と第1の酸化シリコン膜3を除去し、再び絶縁膜を形成しながらしているのは絶縁膜質の諸工程を経ることによる劣化を防ぐためである。もしその影響が無視することが可能であれば第2の酸化シリコン膜5と第1の酸化シリコン膜3をそのまま使用して

a及び第1の窒化シリコン膜6を除去する。以下従来と同様に処理し制御ゲート電極等を形成して半導体記憶装置を完成させる。

上述した第1の実施例における第1の特徴は素子分離酸化膜7形成のための酸化時に多結晶シリコン膜4は直接酸化雰囲気につれられないためその形状が変化しないことである。第2の特徴はP型半導体基板1の酸化がサイドウォール12aの下からしか進行せず、かつこのサイドウォール12aの応力のため横方向への酸化進行が抑制される点にある。このため従来問題であった多結晶シリコン膜4からなる浮遊ゲートの大きさの減少及びチャンネル幅の減少が同時に解決される。

第2図(a)~(d)は本発明の第2の実施例を説明するための半導体チップの断面図であり、本発明を不揮発性メモリトランジスタと通常のMOS型トランジスタを有する半導体記憶装置に適用した場合について示している。

まず全ての活性領域と素子分離領域を第1図(a)~(e)に示した方法で製造した後第2図(a)に示すよ

もよい。

次に制御ゲート電極となる不純物をドーピングした多結晶シリコン膜8を全面に形成する。この多結晶シリコン膜8の代りに多結晶シリコンと各種シリサイド膜の多層膜、さらには高融点材料膜等を用いることができる。

次に第2図(d)に示すように、多結晶シリコン8をパターンニングし、制御ゲート電極8a、8bを形成する。メモリトランジスタ部では周知の技術を用い多結晶シリコン膜4を前配制御ゲート電極8aに自己整合的にエッチングする。その後周知の技術を用いN型不純物を導入し各トランジスタ領域にソース・ドレイン領域9a、9bを形成する。なお第2図(d)はこの半導体装置のチャンネル長方向の断面図を示しており、チャンネル幅方向のこの工程での断面図は第2図(c)と同じになる。

以下周知の技術を用い層間膜、各電極へのコンタクト孔および金属配線等を形成し不揮発性半導体装置を完成させる。

この方法に従えば通常のMOSトランジスタの

チャンネル幅の減少も基板の横方向への酸化抑制効果により防止できる。つまり周知の選択酸化による素子分離絶縁膜形成方法で生じていたバースピークも生じることはない。これは本発明を通常のMOSトランジスタの製造方法に適用したときに生じる効果である。

第3図(a)~(e)は本発明の第3の実施例を説明するための半導体チップの断面図であり、本発明をメモリトランジスタ領域にのみ適用し、同一基板上の通常のMOSトランジスタ領域には選択酸化方法を適用して半導体記憶装置を製造した例を示している。

まず第3図(a)に示すように、第1の実施例と同様に処理しP型半導体基板1上の第1の酸化シリコン膜3上に、多結晶シリコン膜4、第2の酸化シリコン膜5及び第1の窒化シリコン膜6からなるパターンを形成する。ただし本第3の実施例ではこのパターンはメモリトランジスタの活性領域となる部分にのみ形成する。

次に第3図(b)に示すように、多結晶シリコン膜

止される。

次に第3図(c)に示すように、第1および第2の窒化シリコン膜を除去し、更にMOSトランジスタ領域の第1の酸化シリコン膜及び多結晶シリコン膜4上の第2の酸化シリコン膜5を除去する。続いてMOSトランジスタのゲート絶縁膜5b、および二層ゲート電極間の絶縁膜5aを形成したのち全面に制御ゲート電極となる多結晶シリコン膜8を形成する。

この後は第2図(c)~(d)に示した実施例2と同様に処理して不揮発性半導体装置を完成させる。

この第3の実施例によれば、メモリトランジスタのみに本発明を適用しその効果を得ることができ、かつ通常のトランジスタは従来と同じ方法で製造することができるので、従来からある設計回路パラメータ等の特性を保存したまま製造することが可能である。

第4図(a)~(d)は本発明の第4の実施例を説明するための半導体チップの断面図である。この第4の実施例の特徴は、メモリトランジスタの製造時

4の側面に側壁酸化膜11を形成したのち第2の窒化シリコン膜12を全面に形成する。次にフォトレジストからなるマスク10bを今度はMOSトランジスタの活性領域となる部分にのみ形成する。

次に第3図(c)に示すように、異方性エッチングを行い第2の窒化シリコン膜12をエッチングしMOSトランジスタの活性領域上に窒化シリコン膜からなるマスク12bを形成すると共に、第1の実施例と同じくメモリトランジスタ活性領域の側壁酸化膜11上にサイドウォール12aを形成する。次でP型不純物をイオン注入しチャンネルストップ領域2を形成したのちレジストのマスク10bを剝離する。

次に第3図(d)に示すように、半導体基板表面を酸化し素子分離酸化膜7を形成する。このときメモリトランジスタ領域は第1の実施例と同じく多結晶シリコン膜4からなる浮遊ゲート電極がチャンネル幅方向に自己整合的に形成されしかも素子分離酸化膜7によるチャンネル領域への侵食は防

第1と第2の耐酸化性膜の間に第2の耐酸化性膜エッチング時にエッチングレートが第2の耐酸化性膜よりも遅い材料膜をはさんだことにある。

まず第4図(a)に示すように、第1の実施例と同じくP型半導体基板1上に第1の酸化シリコン膜3、多結晶シリコン膜4、第2の酸化シリコン膜5及び第1の窒化シリコン膜6を積層して形成する。この後に例えば1000Åの気相成長法による酸化膜等のエッチングマスク材料膜15を形成し、その後活性領域パターンにレジストからなるマスク10を形成する。さらに順次積層された膜をそれぞれの膜のエッチング特性に適合した方法でエッチングする。

次に第4図(b)に示すように、マスク10を除去し、酸化して側壁酸化膜11を形成したのち全面に第2の窒化シリコン膜12を形成する。

次に第4図(c)に示すように、第2の窒化シリコン膜12を異方性エッチングにより除去しサイドウォール12aを形成する。このときエッチングマスク材料膜15がエッチングのストッパーにな

り、第1の窒化シリコン膜6の表面はエッチングにさらされることはない。

次に第4図(d)に示すように、このエッチング材料膜15を除去し、基板を酸化し素子分離酸化膜7を形成することにより、第1図(d)に示した第1の実施例と同じ構造が得られる。以下の製造方法は第1の実施例と同様である。

〔発明の効果〕

以上説明したように本発明は、浮遊ゲート電極をチャンネル幅方向に自己整合的に形成する場合に浮遊ゲート電極となる多結晶シリコン膜の上面及び側面に耐酸化性膜からなる保護膜を設けた後基板を選択酸化することにより、浮遊ゲート電極の形状を変化させず、しかも選択酸化時の横方向への酸化侵食によるチャンネル幅の減少のない半導体記憶装置が得られる。

4. 図面の簡単な説明

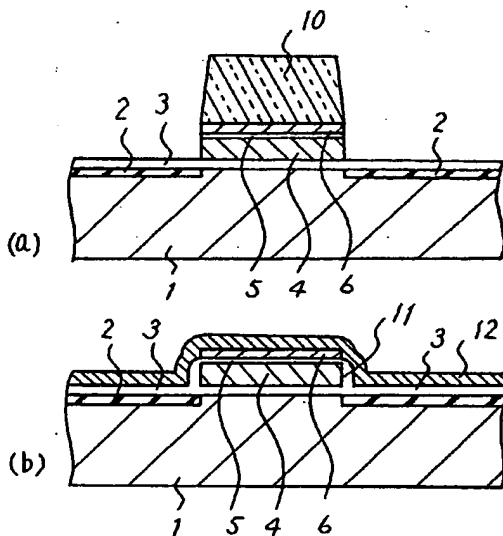
第1図～第4図は本発明の第1～第4の実施例を説明する為の半導体チップの断面図、第5図は

従来の半導体記憶装置の製造方法を説明するための半導体チップの断面図である。

1…P型半導体基板、2…チャネルストップ領域、3…第1の酸化シリコン膜、4…多結晶シリコン膜、5…第2の酸化シリコン膜、6…第1の窒化シリコン膜、7…素子分離酸化膜、8…多結晶シリコン膜、8a, 8b…制御ゲート電極、10, 10A, 10B…マスク、11…側壁酸化膜、12…第2の窒化シリコン膜、12a…サイドウォール、15…エッチングマスク材料膜。

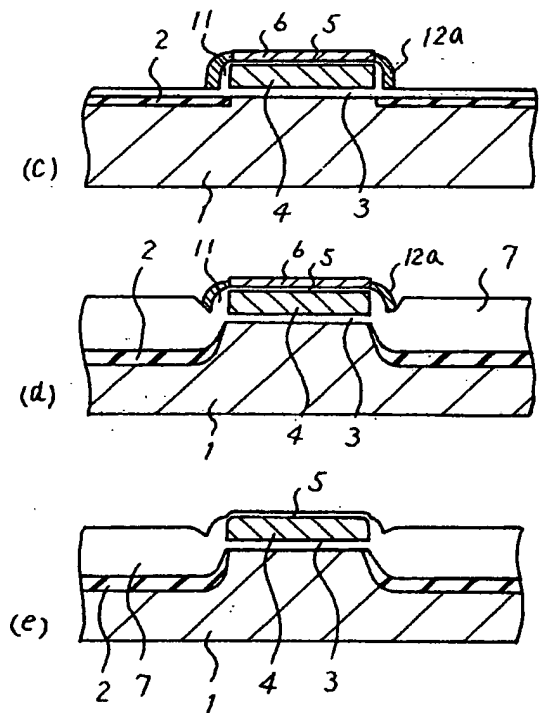
代理人 弁理士 内 原 晋

- | | |
|---------------|----------------|
| 1: P型半導体基板 | 6: 第1の窒化シリコン膜 |
| 2: チャネルストップ領域 | 10: マスク |
| 3: 第1の酸化シリコン膜 | 11: 側壁酸化膜 |
| 4: 多結晶シリコン膜 | 12: 第2の窒化シリコン膜 |
| 5: 第2の酸化シリコン膜 | |

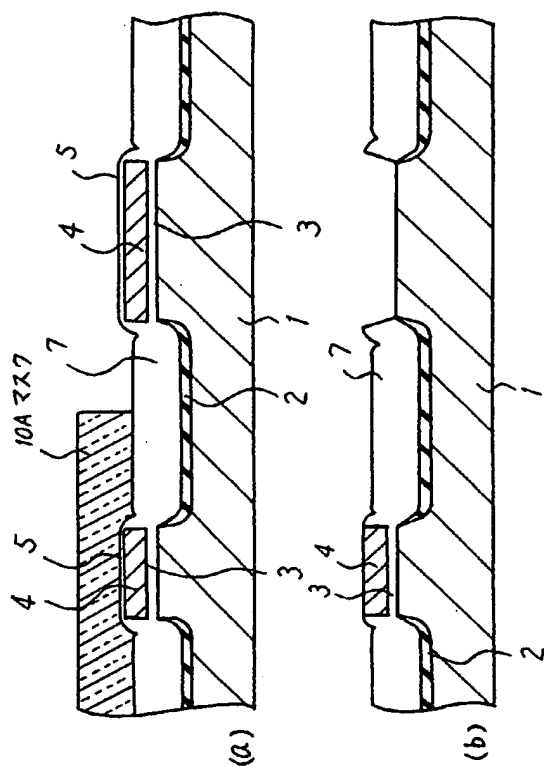


第 1 図

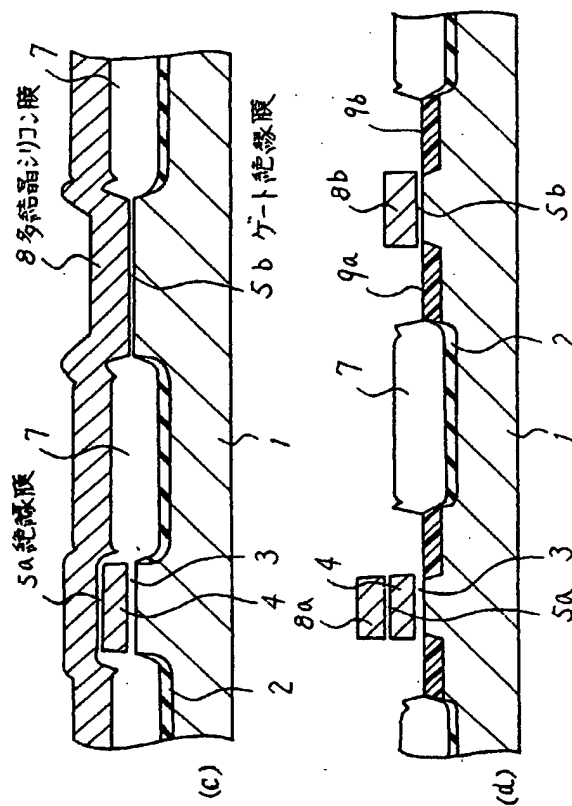
7: 素子分離酸化膜 12a: サイドウォール



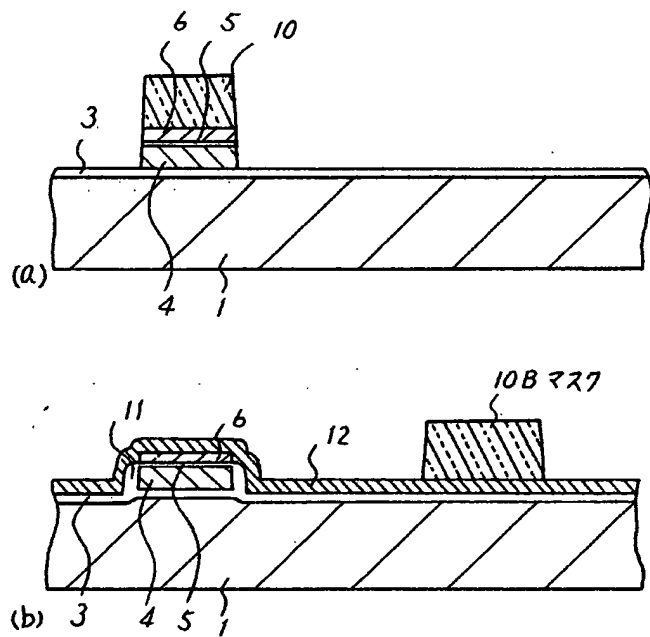
第 1 図



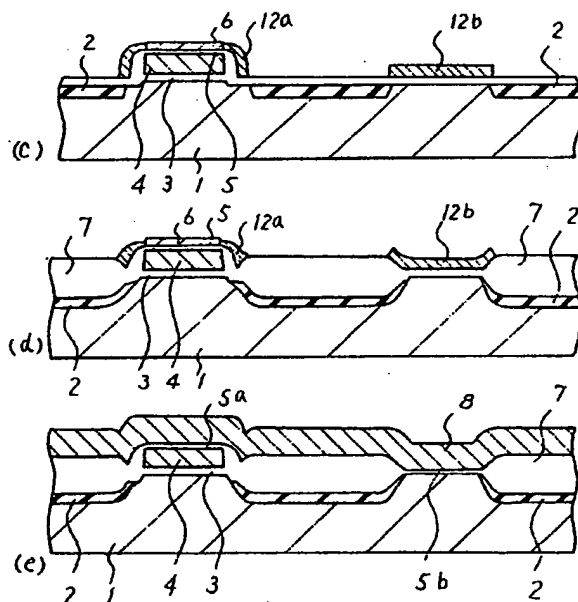
第 2 図



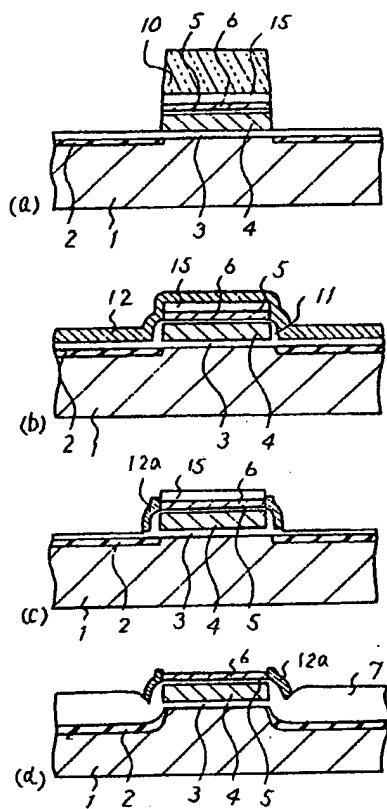
第 2 図



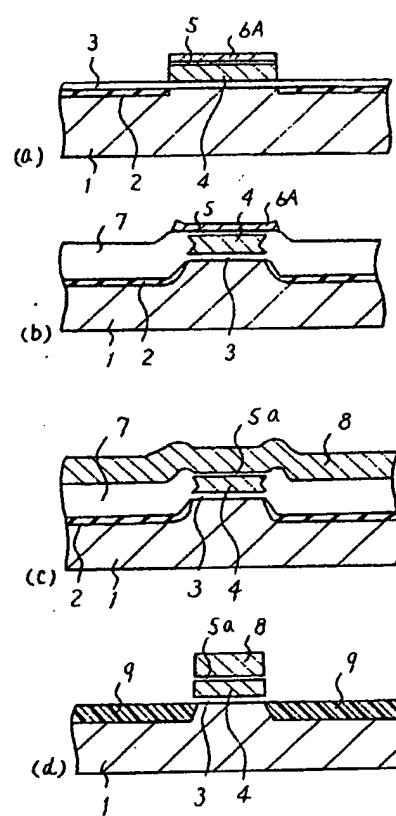
第 3 図



第 3 図



第 4 図



第 5 図